

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-325738

(43)Date of publication of application : 16.12.1997

(51)Int.Cl.

G09G 3/36
G02F 1/133
G02F 1/136
H04N 5/66

(21)Application number : 08-140032

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 03.06.1996

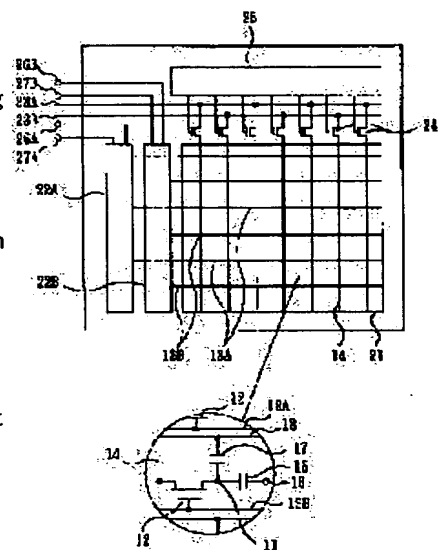
(72)Inventor : HASUKA TAKESHI
KATO TAKEHISA

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To enable displaying a picture of a NTSC system, a PAL system, or a SECAM system with high reliability, at a low manufacturing cost, and with high quality.

SOLUTION: This device is provided with a pixel display section 21 having a pixel electrode 11 arranged in a matrix state, gate lines 13A, 13B arranged alternately which apply scanning voltage to each pixel electrode 11 arranged in the direction of row, first and second scanning circuits 22A, 22B for driving gate lines connected to each gate line 13A, 13B and generating respectively scanning voltage applied to the gate lines, first and second picture signal input lines 23A, 23B connected to signal lines 14 and inputting a picture signal, a scanning circuit 25 for driving a signal line connected to each pixel signal input line and controlling the signal lines 14. The signal lines being adjacent each other connected to the picture signal input lines 23A, 23B being different respectively, and scanning circuits 22A, 22B for driving each gate line are independently connected to gate lines being adjacent each other.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The pixel display which has two or more pixel electrodes arranged in the shape of a matrix array, and the thin film transistor which controls a picture signal for this every pixel electrode, The gate line which impresses a scan electrical potential difference for every gate electrode of said thin film transistor of said pixel electrode located in a line with a line writing direction among said two or more pixel electrodes, The signal line which impresses a signal level for said every pixel electrode located in a line in the direction of a train among said two or more pixel electrodes, At least two scanning circuits for gate line actuation which generate the scan electrical potential difference which connects with said each gate line and is impressed to this gate line, The picture signal input line which is connected to said signal line and inputs a picture signal from the exterior, It connects with said picture signal input line, and has the scanning circuit for signal-line actuation which consists of a thin film transistor which controls said signal line. Said each scanning circuit for gate line actuation Liquid crystal display equipment characterized by connecting with said gate line which adjoins mutually [consist of a thin film transistor and] independently, respectively.

[Claim 2] Said signal line which said two or more picture signal input lines are prepared, and adjoins mutually is liquid crystal display equipment according to claim 1 characterized by connecting with said different picture signal input line, respectively.

[Claim 3] The pixel display which has two or more pixel electrodes arranged in the shape of a matrix array, and the thin film transistor which controls a picture signal for this every pixel electrode, The gate line which impresses a scan electrical potential difference for every gate electrode of said thin film transistor of said pixel electrode located in a line with a line writing direction among said two or more pixel electrodes, The signal line which impresses a signal level for said every pixel electrode located in a line in the direction of a train among said two or more pixel electrodes, At least two scanning circuits for gate line actuation which generate the scan electrical potential difference which connects with said each gate line and is impressed to this gate line, The picture signal input line which is connected to said signal line and inputs a picture signal from the exterior, It connects with said picture signal input line, and has the scanning circuit for signal-line actuation which consists of a thin film transistor which controls said signal line. Said each scanning circuit for gate line actuation It is the actuation approach of the liquid crystal display equipment independently connected with said gate line which adjoins mutually [consist of a thin film transistor and], respectively. Said two or more scanning circuits for gate line actuation are the actuation approaches of the liquid crystal display equipment characterized by choosing simultaneously said gate line which adjoins mutually by the pulse signal inputted respectively independently and simultaneous.

[Claim 4] The pixel display which has two or more pixel electrodes arranged in the shape of a matrix array, and the thin film transistor which controls a picture signal for this every pixel electrode, The gate line which impresses a scan electrical potential difference for every gate electrode of said thin film transistor of said pixel electrode located in a line with a line writing direction among said two or more pixel electrodes, The signal line which impresses a signal level for said every pixel electrode located in a line in the direction of a train among said two or more pixel electrodes, At least two scanning circuits for

gate line actuation which generate the scan electrical potential difference which connects with said each gate line and is impressed to this gate line, The picture signal input line which is connected to said signal line and inputs a picture signal from the exterior, It connects with said picture signal input line, and has the scanning circuit for signal-line actuation which consists of a thin film transistor which controls said signal line. Said each scanning circuit for gate line actuation It is the actuation approach of the liquid crystal display equipment independently connected with said gate line which adjoins mutually [consist of a thin film transistor and], respectively. Said two or more scanning circuits for gate line actuation are the actuation approaches of the liquid crystal display equipment characterized by making it delayed mutually and choosing said gate line which adjoins mutually by delaying the pulse signal for actuation, respectively and inputting it.

[Claim 5] The pixel display which has two or more pixel electrodes arranged in the shape of a matrix array, and the thin film transistor which controls a picture signal for this every pixel electrode, The gate line which impresses a scan electrical potential difference for every gate electrode of said thin film transistor of said pixel electrode located in a line with a line writing direction among said two or more pixel electrodes, The signal line which impresses a signal level for said every pixel electrode located in a line in the direction of a train among said two or more pixel electrodes, At least two scanning circuits for gate line actuation which generate the scan electrical potential difference which connects with said each gate line and is impressed to this gate line, The picture signal input line which is connected to said signal line and inputs a picture signal from the exterior, It connects with said picture signal input line, and has the scanning circuit for signal-line actuation which consists of a thin film transistor which controls said signal line. Said each scanning circuit for gate line actuation It is the actuation approach of the liquid crystal display equipment independently connected with said gate line which adjoins mutually [consist of a thin film transistor and], respectively. Said each scanning circuit for gate line actuation The actuation approach of the liquid crystal display equipment characterized by changing and choosing the combination of said gate lines which adjoin mutually by changing the input timing of the pulse signal inputted, respectively for every field for every field.

[Claim 6] The pixel display which has two or more pixel electrodes arranged in the shape of a matrix array, and the thin film transistor which controls a picture signal for this every pixel electrode, The gate line which impresses a scan electrical potential difference for every gate electrode of said thin film transistor of said pixel electrode located in a line with a line writing direction among said two or more pixel electrodes, The signal line which impresses a signal level for said every pixel electrode located in a line in the direction of a train among said two or more pixel electrodes, At least two scanning circuits for gate line actuation which generate the scan electrical potential difference which connects with said each gate line and is impressed to this gate line, Two or more picture signal input lines which are connected to said signal line and input a picture signal from the exterior, Said signal line which is connected to said picture signal input line, is equipped with the scanning circuit for signal-line actuation which consists of a thin film transistor which controls said signal line, and adjoins mutually It connects with said picture signal input line different, respectively. Said each scanning circuit for gate line actuation The polarity of the signal level impressed to one signal line among said signal lines which are the actuation approaches of the liquid crystal display equipment independently connected with said gate line which adjoins mutually [consist of a thin film transistor and], respectively, and adjoin mutually, The actuation approach of the liquid crystal display equipment characterized by impressing so that it may become reverse mutually [the polarity of the signal level impressed to the signal line of another side].

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the liquid crystal display equipment and its actuation approach of the active-matrix mold which has a thin film transistor in a switching element.

[0002]

[Description of the Prior Art] In recent years, high definition-ization of the liquid crystal display equipment of an active-matrix mold is progressing, and the liquid crystal display equipment which has the number of scanning lines exceeding 480 which are the number of scanning lines required to display the image (NTSC system, a PAL system, or SECAM system) of general TV broadcast is developed.

[0003] Since there are only the about 240 scanning lines into 1 field, the picture signal of NTSC system, a PAL system, or an SECAM system needs interlaced scanning. On the other hand, since a flicker (blinking) increases and interlaced scanning of a liquid crystal display is impossible like CRT of the usual TV, it is scanning sequentially. Here, after scanning a certain scanning line, interlaced scanning is a scanning mode which scans only the scanning line over which it jumped in the last field, when the one-eyed scanning line is flown, the 2nd scanning line is scanned and it changes in the next field. On the other hand, sequential scanning is a scanning mode which scans the scanning line from the end of the image display section in order to the other end.

[0004] Hereafter, conventional liquid crystal display equipment is explained, referring to a drawing.

[0005] Drawing 6 is the block block diagram of conventional liquid crystal display equipment. As shown in drawing 6 , in order to display the image of NTSC system, a PAL system, or an SECAM system using the liquid crystal display equipment by the progressive broadcasting method, two or more circuits for time amount transform processing are needed for each preceding paragraph of the vertical driver 106 which is the level driver 105 and the scanning circuit for gate line actuation which are a scanning circuit for signal-line actuation.

[0006] The picture signal specifically digitized by the A/D-conversion circuit 101 at the memory apparatus 102 after changing a picture signal into a digital signal from an analog signal is memorized, and after predetermined time amount passes by the timing controller 104, time amount transform processing which changes into an analog signal the picture signal digitized by the D/A conversion circuit 103 is performed. A picture signal is outputted to each driver 105,106 of a liquid crystal display 107 after this transform processing.

[0007] Thereby, while the scanning line in 1 field is convertible for about 480 [same] as the scanning-line number of a liquid crystal display, it is changed into sequential scanning from interlaced scanning, and a high-definition image can be displayed on a liquid crystal display 107. However, since each circuits 101-104 for time amount transform processing are needed, it has the problem that the magnitude of the whole equipment will become large.

[0008] Then, if the "two-line simultaneous actuation" method currently indicated by "JP,7-72830,A" is adopted, scanning-line 2 duty of a liquid crystal display can be scanned by the scan of the one scanning line of a picture signal. Thereby, into 1 field, even if it is the liquid crystal display which has 480 or more

linear-scanning lines, since the problem that a flicker increases the picture signal whose scanning line is about 240 since all the scanning lines can be driven by sequential scanning is avoidable, the circuit for time amount transform processing becomes unnecessary, consequently the magnitude of the circuit of the whole equipment can be reduced.

[0009] Hereafter, the liquid crystal display equipment of the conventional "two-line simultaneous actuation" method currently indicated by "JP,7-72830,A" is explained based on a drawing.

[0010] Drawing 7 is the block diagram of the liquid crystal display equipment of the conventional "two-line simultaneous actuation" method. Two or more pixel electrodes 111 with which this liquid crystal display equipment was arranged in the shape of a matrix array in drawing 7, The thin film transistor 112 which controls a picture signal every pixel electrode 111, The gate lines 113A and 113B which are arranged by turns for every gate electrode of the thin film transistor 112 located in a line with a line writing direction among two or more pixel electrodes 111, and impress a scan electrical potential difference, The signal line 114 which impresses a signal level every pixel electrode 111 located in a line in the direction of a train among two or more pixel electrodes 111, 1st scanning circuit 115A for gate line actuation which generates the scan electrical potential difference which connects with each gate line 113A, and is impressed to gate line 113A, It connected with each gate line 113B, and has 2nd scanning circuit 115B for gate line actuation which generates the scan electrical potential difference impressed to gate line 113B, and the scanning circuit 116 for signal-line actuation which generates the signal level for images impressed to a signal line 114.

[0011] Hereafter, if actuation of the constituted above liquid crystal display equipments is summarized, as shown in drawing 7 It is the gate storage mold structure which forms storage capacitance 117 between gate line 113B (or 113A) of the preceding paragraph of gate line 113A (or 113B), and a thin film transistor 112. For example, after turning ON simultaneously the k-th gate line 113A and k+1st gates line 113B, k-th gate line 113A is previously made into an OFF state. Thereby, even if it is gate storage mold structure, two-line simultaneous actuation is enabled.

[0012]

[Problem(s) to be Solved by the Invention] However, as for the liquid crystal display equipment of said conventional "two-line simultaneous actuation" method, satisfaction was not fully obtained by the image quality list in respect of dependability and cost.

[0013] This invention aims at enabling it to display the image of NTSC system, a PAL system, or an SECAM system on high definition by high-reliability and low cost in view of this point.

[0014]

[Means for Solving the Problem] In order to attain the aforementioned object, this invention constitutes the scanning circuit for signal-line actuation, and the scanning circuit for gate line actuation by the thin film transistor, and considers them as a configuration equipped with at least two scanning circuits for gate line actuation independently connected with the gate line which adjoins mutually, respectively.

[0015] The solution means which invention of claim 1 provided concretely The pixel display which has two or more pixel electrodes arranged in the shape of a matrix array in liquid crystal display equipment, and the thin film transistor which controls a picture signal for this every pixel electrode, The gate line which impresses a scan electrical potential difference for every gate electrode of said thin film transistor of said pixel electrode located in a line with a line writing direction among said two or more pixel electrodes, The signal line which impresses a signal level for said every pixel electrode located in a line in the direction of a train among said two or more pixel electrodes, At least two scanning circuits for gate line actuation which generate the scan electrical potential difference which connects with said each gate line and is impressed to this gate line, The picture signal input line which is connected to said signal line and inputs a picture signal from the exterior, It connects with said picture signal input line, and has the scanning circuit for signal-line actuation which consists of a thin film transistor which controls said signal line. Said each scanning circuit for gate line actuation It consists of a thin film transistor, and considers as the configuration independently connected with said gate line which adjoins

mutually, respectively.

[0016] Since it connects with the gate line which is independently equipped with at least two scanning circuits for gate line actuation, and adjoins mutually by the configuration of claim 1 independently, respectively, while a two-line simultaneous actuation method is certainly employable, an adjoining gate line can be delayed and can be made to drive.

[0017] Said signal line with which said two or more picture signal input lines are prepared in the configuration of claim 1, and invention of claim 2 adjoins mutually adds the configuration connected to said different picture signal input line, respectively.

[0018] By the configuration of claim 2, two or more picture signal input lines are prepared, and since the signal line which adjoins mutually is connected to a picture signal input line different, respectively, the polarity of the picture signal impressed to a signal line can be reversed easily mutually.

[0019] The pixel display which has two or more pixel electrodes with which the solution means which invention of claim 3 provided was arranged in the shape of a matrix array, and the thin film transistor which controls a picture signal for this every pixel electrode, The gate line which impresses a scan electrical potential difference for every gate electrode of said thin film transistor of said pixel electrode located in a line with a line writing direction among said two or more pixel electrodes, The signal line which impresses a signal level for said every pixel electrode located in a line in the direction of a train among said two or more pixel electrodes, At least two scanning circuits for gate line actuation which generate the scan electrical potential difference which connects with said each gate line and is impressed to this gate line, The picture signal input line which is connected to said signal line and inputs a picture signal from the exterior, It connects with said picture signal input line, and has the scanning circuit for signal-line actuation which consists of a thin film transistor which controls said signal line. Said each scanning circuit for gate line actuation Consist of a thin film transistor and it is aimed at the actuation approach of the liquid crystal display equipment independently connected with said gate line which adjoins mutually, respectively. Said two or more scanning circuits for gate line actuation are considered as the configuration which chooses simultaneously said gate line which adjoins mutually by the pulse signal inputted respectively independently and simultaneous.

[0020] Since the gate line which two or more scanning circuits for gate line actuation adjoin mutually by the configuration of claim 3 is chosen simultaneously, a two-line simultaneous actuation method is certainly realizable with the pulse signal inputted respectively independently and simultaneous.

[0021] The pixel display which has two or more pixel electrodes with which the solution means which invention of claim 4 provided was arranged in the shape of a matrix array, and the thin film transistor which controls a picture signal for this every pixel electrode, The gate line which impresses a scan electrical potential difference for every gate electrode of said thin film transistor of said pixel electrode located in a line with a line writing direction among said two or more pixel electrodes, The signal line which impresses a signal level for said every pixel electrode located in a line in the direction of a train among said two or more pixel electrodes, At least two scanning circuits for gate line actuation which generate the scan electrical potential difference which connects with said each gate line and is impressed to this gate line, The picture signal input line which is connected to said signal line and inputs a picture signal from the exterior, It connects with said picture signal input line, and has the scanning circuit for signal-line actuation which consists of a thin film transistor which controls said signal line. Said each scanning circuit for gate line actuation Consist of a thin film transistor and it is aimed at the actuation approach of the liquid crystal display equipment independently connected with said gate line which adjoins mutually, respectively. Said two or more scanning circuits for gate line actuation are considered as the configuration which you make it delayed mutually and chooses said gate line which adjoins mutually by delaying the pulse signal for actuation, respectively and inputting it.

[0022] Since two or more scanning circuits for gate line actuation make it delayed mutually and choose said gate line which adjoins mutually by delaying the pulse signal for actuation, respectively and inputting it, while a two-line simultaneous actuation method is certainly realizable with the configuration of claim

4, the pulse signal impressed to the 2nd line to the 1st line is delayable.

[0023] The pixel display which has two or more pixel electrodes with which the solution means which invention of claim 5 provided was arranged in the shape of a matrix array, and the thin film transistor which controls a picture signal for this every pixel electrode, The gate line which impresses a scan electrical potential difference for every gate electrode of said thin film transistor of said pixel electrode located in a line with a line writing direction among said two or more pixel electrodes, The signal line which impresses a signal level for said every pixel electrode located in a line in the direction of a train among said two or more pixel electrodes, At least two scanning circuits for gate line actuation which generate the scan electrical potential difference which connects with said each gate line and is impressed to this gate line, The picture signal input line which is connected to said signal line and inputs a picture signal from the exterior, It connects with said picture signal input line, and has the scanning circuit for signal-line actuation which consists of a thin film transistor which controls said signal line. Said each scanning circuit for gate line actuation It consists of a thin film transistor, and is aimed at the actuation approach of the liquid crystal display equipment independently connected with said gate line which adjoins mutually, respectively. Said each scanning circuit for gate line actuation By changing the input timing of the pulse signal inputted, respectively for every field, it considers as the configuration which changes and chooses the combination of said gate lines which adjoin mutually for every field.

[0024] Since each scanning circuit for gate line actuation changes and chooses the combination of the gate lines which adjoin mutually by changing the input timing of the pulse signal inputted, respectively for every field for every field by the configuration of claim 5, while a two-line simultaneous actuation method is certainly realizable, vertical definition does not deteriorate.

[0025] The pixel display which has two or more pixel electrodes with which the solution means which invention of claim 6 provided was arranged in the shape of a matrix array, and the thin film transistor which controls a picture signal for this every pixel electrode, The gate line which impresses a scan electrical potential difference for every gate electrode of said thin film transistor of said pixel electrode located in a line with a line writing direction among said two or more pixel electrodes, The signal line which impresses a signal level for said every pixel electrode located in a line in the direction of a train among said two or more pixel electrodes, At least two scanning circuits for gate line actuation which generate the scan electrical potential difference which connects with said each gate line and is impressed to this gate line, Two or more picture signal input lines which are connected to said signal line and input a picture signal from the exterior, Said signal line which is connected to said picture signal input line, is equipped with the scanning circuit for signal-line actuation which consists of a thin film transistor which controls said signal line, and adjoins mutually It connects with said picture signal input line different, respectively. Said each scanning circuit for gate line actuation Consist of a thin film transistor and it is aimed at the actuation approach of the liquid crystal display equipment independently connected with said gate line which adjoins mutually, respectively. The polarity of the signal level impressed to one signal line among said signal lines which adjoin mutually, and the polarity of the signal level impressed to the signal line of another side add the configuration impressed so that it may become reverse mutually.

[0026] The signal line which has two or more picture signal input lines which input a picture signal, and adjoins mutually from the exterior by the configuration of claim 6 The polarity of the signal level impressed to one signal line among the signal lines which adjoin mutually for the liquid crystal display equipment connected to a picture signal input line different, respectively, Since it is impressed so that it may become reverse mutually [the polarity of the signal level impressed to the signal line of another side], reversal actuation for every pixel of an indispensable line writing direction can be easily performed to the pixel electrode by liquid crystal.

[0027]

[Embodiment of the Invention]

(1st operation gestalt) The 1st operation gestalt of this invention is explained, referring to a drawing.

[0028] Drawing 1 is the block diagram of the liquid crystal display equipment concerning the 1st operation gestalt of this invention. The pixel display 21 which this liquid crystal display equipment becomes from two or more pixel electrodes 11 arranged in the shape of a matrix array in drawing 1 , The gate lines 13A and 13B which impress the scan electrical potential difference arranged by turns for every gate electrode of the thin film transistor 12 which controls a picture signal every pixel electrode 11, and the thin film transistor 12 located in a line with a line writing direction among two or more pixel electrodes 11, The signal line 14 which impresses a signal level every pixel electrode 11 located in a line in the direction of a train among two or more pixel electrodes 11, 1st scanning circuit 22A for gate line actuation which generates the scan electrical potential difference which connects with each gate line 13A, and is impressed to gate line 13A, 2nd scanning circuit 22B for gate line actuation which generates the scan electrical potential difference which connects with each gate line 13B, and is impressed to gate line 13B, 1st picture signal input-line 23A and 2nd picture signal input-line 23B into which it is arranged in the gate lines 13A and 13B to the up side within the field of the pixel display 21 by parallel, and a picture signal is independently inputted from the exterior, Either of the 1st and 2nd picture signal input lines 23A and 23B and one source drain electrode are connected. The analog switch transistor 24 which consists of a thin film transistor which controls the picture signal which a signal line 14 and the source drain electrode of another side are connected, and is impressed to a signal line 14, The scanning circuit 25 for signal-line actuation which consists of a thin film transistor which is connected to the gate electrode of each analog switch transistor 24, controls the analog switch transistor 24, and adjusts the brightness of an image, 1st data pulse input terminal 26A which is connected to 1st scanning circuit 22A for gate line actuation, and impresses a data pulse to gate line 13A, 1st clock pulse input terminal 27A which is connected to 1st scanning circuit 22A for gate line actuation, and takes the timing of a data pulse of operation, 2nd data pulse input terminal 26B which is connected to 2nd scanning circuit 22B for gate line actuation, and impresses a data pulse to gate line 13B, It connected with 2nd scanning circuit 22B for gate line actuation, and has 2nd clock pulse input terminal 27B which takes the timing of a data pulse of operation.

[0029] One pixel which it comes to surround with two gate lines 13A and 13B and two signal lines 14 consists of a counterelectrode 16 of the pixel electrode 11, a thin film transistor 12, the equivalent capacity 15 that liquid crystal has, and the pixel electrode 11, storage capacitance 17 which accumulates a signal charge, and a storage capacitance line 18.

[0030] 1st scanning circuit 22A for gate line actuation arranged on the left-hand side of the image display section 21 drives odd-numbered gate line 13A, and 2nd scanning circuit 22B for gate line actuation drives even-numbered gate line 13B.

[0031] The 1st and 2nd picture signal input lines 23A and 23B transmit the picture signal of the odd-numbered signal line 14 and the even-numbered signal line 14, respectively, and signal-line 14 comrades which adjoin mutually are connected so that a different picture signal may be inputted.

[0032] Hereafter, the actuation approach of the liquid crystal display equipment constituted as mentioned above is explained.

[0033] Drawing 2 (a) expresses each pulse input timing of each 1st and 2nd scanning circuits for gate line actuation, and (b) expresses the voltage waveform of the gate line in (a). As shown in drawing 2 (a), the 1st data pulse and 1st clock pulse are a pulse impressed to 1st scanning circuit 22A for gate line actuation shown in drawing 1 , and the 2nd data pulse and 2nd clock pulse are a pulse impressed to 2nd scanning circuit 22B for gate line actuation shown in drawing 1 .

[0034] As opposed to the gate lines 13A and 13B which the 1st and 2nd scanning circuits 22A and 22B for gate line actuation operated independently mutually, and were arranged by turns as a description of this operation gestalt While 1st scanning circuit 22A for gate line actuation and gate line 13A are connected Since 2nd scanning circuit 22B for gate line actuation and gate line 13B are connected and the gate line which adjoins mutually can be simultaneously made into an ON state, a two-line simultaneous actuation method is realizable.

[0035] Moreover, since both the 1st and 2nd scanning circuits 22A and 22B for gate line actuation and the scanning circuit 25 for signal-line actuation are constituted by the thin film transistor, it is reliable and cost can also reduce them.

[0036] Furthermore, if timing which generates the 1st clock pulse and 2nd clock pulse is set to Δt as shown in drawing 2 (a) When Δt is set as the forward value of the specified quantity, as it will become perfect two-line simultaneous actuation if Δt is set as 0, and it is shown in drawing 2 (b) If a number with a younger gate wire gage is used as the preceding paragraph (the scanning circuit 25 side for signal-line actuation in the image display section 21 shown in drawing 1), rather than the gate line 14 of the preceding paragraph, the latter gate line 14 can be delayed and it can change into a selection condition.

[0037] According to the delay actuation method which is delayed and is changed into a selection condition, since the flicker of a screen is reduced, a high-definition display is attained.

[0038] Next, drawing 3 (a) and (b) express each pulse input timing of each 1st and 2nd scanning circuits for gate line actuation in odd number and the even number field, and the voltage waveform of a gate line. Here, each gate linear-scanning circuits 22A and 22B of both indicated to be the fields to drawing 1 point out the period which scans the pixel display 21 for from a forefront stage to the last stage. As shown in drawing 3 (a), the 1st data pulse and 1st clock pulse in the odd number field are a pulse impressed to 1st scanning circuit 22A for gate line actuation shown in drawing 1 , and the 2nd data pulse and 2nd clock pulse are a pulse impressed to 2nd scanning circuit 22B for gate line actuation shown in drawing 1 , and are the same also in drawing 3 (b).

[0039] In the odd number field shown in drawing 3 (a), since the 2nd clock pulse is an ON state mostly when the 1st clock pulse is an OFF state, the 1st gate line and the 2nd gate line will not be in a selection condition.

[0040] On the other hand, since the 2nd clock pulse is also an ON state mostly in the even number field shown in drawing 3 (a) when the 1st clock pulse is an ON state, the 1st gate line and the 2nd gate line will be in a selection condition almost simultaneous.

[0041] Thus, as shown in drawing 1 , the 1st and 2nd scanning circuits 22A and 22B for gate line actuation operate independently mutually, and, moreover, the gate lines 13A and 13B arranged by turns are received. Since 1st scanning circuit 22A for gate line actuation and gate line 13A are connected and 2nd scanning circuit 22B for gate line actuation and gate line 13B are connected, Since the pair which gate line 14 comrades which adjoin mutually are delayed simultaneous, and changes them into a selection condition can be changed by the odd number field and the even number field, vertical definition is not degraded.

[0042] Next, drawing 4 expresses the signal wave form where it is inputted into each 1st and 2nd picture signal input lines. The 1st picture signal is a signal impressed to 1st picture signal input-line 23A shown in drawing 1 , and the 2nd picture signal is a signal impressed to 2nd picture signal line 23B shown in drawing 1 .

[0043] Thus, reversal actuation required for degradation prevention of the pixel which consists of liquid crystal since it connects with the picture signal input lines 23A and 23B with which the signal lines 14 which two or more picture signal input line is arranged, and adjoin mutually differ, respectively and, as for the odd-numbered signal-line 14 and even-numbered signal line 14, a polarity can impress the picture signal of reverse mutually is easily realizable for every pixel of a line writing direction.

[0044] (2nd operation gestalt) The 2nd operation gestalt of this invention is explained hereafter, referring to a drawing.

[0045] Drawing 5 is the block diagram of the liquid crystal display equipment concerning the 2nd operation gestalt of this invention. In drawing 5 , the same sign is given to the same member or same component as the liquid crystal display equipment concerning the 1st operation gestalt shown in drawing 1 , and explanation is omitted.

[0046] As shown in drawing 5 , 2nd scanning circuit 22B for gate line actuation is arranged on the right-

hand side of the image display section 21, and this liquid crystal display equipment is the upper part within the field of the image display section 21, and six picture signal input lines are arranged between the scanning circuits 25 for signal-line actuation.

[0047] It connects, as three of six picture signal input lines 23A-23F, 1st picture signal input-line 23A, 2nd picture signal input-line 23B, and 3rd picture signal input-line 23C, transmitted a signal to the odd-numbered signal line 14 and a signal transmitted to the even-numbered signal line 14 in 4th picture signal input-line 23D, 5th picture signal input-line 23E, and the 6th 3 of picture signal input-line 23F.

[0048] As a picture signal, a polar picture signal with 1st picture signal input-line 23A, 2nd picture signal input-line 23B, and 3rd picture signal input-line 23C same to three is impressed among six picture signal input lines 23A-23F, and the picture signal of reverse is impressed for a polarity in three of the point to 4th picture signal input-line 23D, 5th picture signal input-line 23E, and the 6th 3 of picture signal input-line 23F.

[0049] As opposed to the gate lines 13A and 13B which the 1st and 2nd scanning circuits 22A and 22B for gate line actuation operated independently mutually, and were arranged by turns as a description of this operation gestalt While 1st scanning circuit 22A for gate line actuation and gate line 13A are connected Since 2nd scanning circuit 22B for gate line actuation and gate line 13B are connected and the gate line which adjoins mutually can be simultaneously made into an ON state, a two-line simultaneous actuation method is realizable. Moreover, since the latter gate line 14 can be delayed, it can also change into a selection condition rather than the gate line 14 of the preceding paragraph and the flicker of a screen is reduced, a high-definition display is attained.

[0050] Moreover, since both the 1st and 2nd scanning circuits 22A and 22B for gate line actuation and the scanning circuit 25 for signal-line actuation are constituted by the thin film transistor, it is reliable and cost can also reduce them.

[0051] Moreover, as shown in drawing 5 , the 1st and 2nd scanning circuits 22A and 22B for gate line actuation operate independently mutually, and the gate lines 13A and 13B arranged by turns are received. While 1st scanning circuit 22A for gate line actuation and gate line 13A are connected Since 2nd scanning circuit 22B for gate line actuation and gate line 13B are connected, Since the pair which gate line 14 comrades which adjoin mutually are delayed simultaneous, and changes them into a selection condition can be changed by the odd number field and the even number field, vertical definition is not degraded.

[0052] Moreover, reversal actuation required for degradation prevention of the pixel which consists of liquid crystal since it connects with the picture signal input lines 23A-23F of the 1st to ** the 6th from which the signal line 14 which a six picture signal input line is arranged and adjoins mutually differs, respectively and, as for the odd-numbered signal-line 14 and even-numbered signal line 14, a polarity can impress the picture signal of reverse mutually is easily realizable for every pixel of a line writing direction.

[0053] The impression approach of a picture signal is not what is restricted to the above-mentioned. Moreover, for example, the inside of six picture signal input lines 23A-23F, A polar picture signal with 1st picture signal input-line 23A, 3rd picture signal input-line 23C, and 5th picture signal input-line 23E same to three is impressed. When a polarity impresses the picture signal of reverse in three of the point to 2nd picture signal input-line 23B, 4th picture signal input-line 23D, and the 6th 3 of picture signal input-line 23F Three of six picture signal input lines 23A-23F, 1st picture signal input-line 23A, 3rd picture signal input-line 23C, and 5th picture signal input-line 23E, are connected to the odd-numbered signal line 14. What is necessary is just to connect 2nd picture signal input-line 23B, 4th picture signal input-line 23D, and the 6th 3 of picture signal input-line 23F to the even-numbered signal line 14.

[0054] In addition, although the scanning circuit for signal-line actuation in the 1st or 2nd operation gestalt is arranged at the image display section upside, it may be arranged at the bottom.

[0055] Moreover, right and left may be arranged at reverse and the 1st and 2nd scanning circuits for gate line actuation may be arranged on the right-hand side of [further both] the image display section.

[0056] Moreover, the analog switch transistor which consists of a thin film transistor may be a thin-film diode.

[0057] Moreover, the number of a picture signal input line is not restricted to 2 or 6, and the scanning circuit for gate line actuation is not restricted to two, the 1st and the 2nd.

[0058]

[Effect of the Invention] According to the liquid crystal display equipment of claim 1, since both the scanning circuit for signal-line actuation and the scanning circuit for gate line actuation are constituted by the thin film transistor, high dependability is acquired and they can attain low cost-ization.

[0059] Furthermore, since it has independently at least two scanning circuits for gate line actuation, and the gate line which can adopt a two-line simultaneous actuation method certainly to a gate line, and adjoins can be delayed and can also be made to drive, the flicker at the time of image display can be reduced now, and high definition-ization can be attained.

[0060] Since the polarity of the picture signal which the effectiveness of the liquid crystal display equipment of claim 1 is acquired upwards, and is impressed to a signal line can be reversed easily mutually according to the liquid crystal display equipment of claim 2, reversal actuation for every pixel of an indispensable line writing direction can be easily performed to the pixel electrode by liquid crystal.

[0061] Since two or more scanning circuits for gate line actuation choose simultaneously the gate line which adjoins mutually by the pulse signal inputted respectively independently and simultaneous according to the actuation approach of the liquid crystal display equipment of claim 3, a two-line simultaneous actuation method is certainly realizable.

[0062] According to the actuation approach of the liquid crystal display equipment of claim 4, two or more scanning circuits for gate line actuation Since you make it delayed mutually and said gate line which adjoins mutually by delaying the pulse signal for actuation, respectively and inputting it is chosen, while the two-line simultaneous actuation method of a gate line is certainly realizable Since it is delayable from the pulse signal impressed to the 1st line to the 2nd line, the flicker at the time of image display can be reduced now, and high definition-ization can be attained.

[0063] According to the actuation approach of the liquid crystal display equipment of claim 5, since vertical definition does not deteriorate while a two-line simultaneous actuation method is certainly realizable in order to change and choose the combination of the gate lines which adjoin mutually by changing the input timing of the pulse signal inputted, respectively for every field for every field, each scanning circuit for gate line actuation can attain high definition-ization.

[0064] Since reversal actuation for every pixel of a line writing direction with them can be performed easily according to the actuation approach of the liquid crystal display equipment of claim 6, high definition-ization can be attained. [indispensable to the pixel electrode by liquid crystal since the polarity of the signal level impressed to one signal line among the signal lines which adjoin mutually, and the polarity of the signal level impressed to the signal line of another side are impressed so that it may become reverse mutually]

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of the liquid crystal display equipment concerning the 1st operation gestalt of this invention.

[Drawing 2] (a) is drawing showing each pulse input timing of each 1st and 2nd scanning circuits for gate line actuation, and (b) is drawing showing the voltage waveform of the gate line in (a).

[Drawing 3] (a) is drawing showing each pulse input timing of each 1st and 2nd scanning circuits for gate line actuation in the odd number field, and the voltage waveform of a gate line, and (b) is drawing showing each pulse input timing of each 1st and 2nd scanning circuits for gate line actuation in the even number field, and the voltage waveform of a gate line.

[Drawing 4] It is drawing showing the signal wave form where it is inputted into each 1st and 2nd picture signal input lines.

[Drawing 5] It is the block diagram of the liquid crystal display equipment concerning the 2nd operation gestalt of this invention.

[Drawing 6] It is the block diagram of conventional liquid crystal display equipment.

[Drawing 7] It is the block diagram of the liquid crystal display equipment of the conventional "two-line simultaneous actuation" type.

[Description of Notations]

11 Pixel Electrode

12 Thin Film Transistor

13A Gate line

13B Gate line

14 Signal Line

15 Equivalent Capacity

16 Counterelectrode

17 Storage Capacitance

18 Storage Capacitance Line

21 Pixel Display

22A The 1st scanning circuit for gate line actuation

22B The 2nd scanning circuit for gate line actuation

23A The 1st picture signal input line

23B The 2nd picture signal input line

23C The 3rd picture signal input line

23D The 4th picture signal input line

23E The 5th picture signal input line

23F 6th picture signal input line

24 Analog Switch Transistor

25 Scanning Circuit for Signal-Line Actuation

26A The 1st data pulse input terminal

26B The 2nd data pulse input terminal

27A The 1st clock pulse input terminal

27B The 2nd clock pulse input terminal

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-325738

(43) 公開日 平成9年(1997)12月16日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 5 0		G 0 2 F 1/133	5 5 0
	5 0 0		1/136	5 0 0
H 0 4 N 5/66	1 0 2		H 0 4 N 5/66	1 0 2 B

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願平8-140032

(22) 出願日 平成8年(1996)6月3日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 蓮香 剛

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 加藤 剛久

大阪府高槻市幸町1番1号 松下電子工業株式会社内

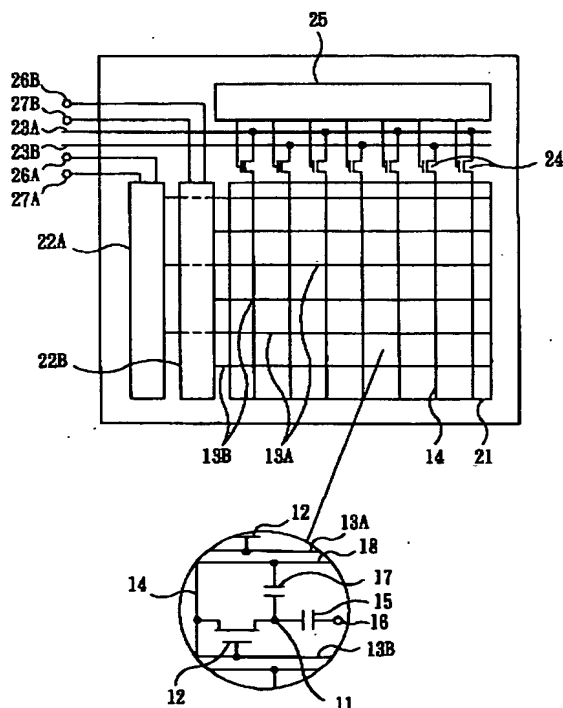
(74) 代理人 弁理士 前田 弘 (外2名)

(54) 【発明の名称】 液晶ディスプレイ装置とその駆動方法

(57) 【要約】

【課題】 NTSC方式、PAL方式又はSECAM方式の画像を高信頼性、且つ、低コストで高画質に表示することができるようにする。

【解決手段】 行列状に配列された画素電極11を有する画素表示部21と、行方向に並ぶ画素電極11ごとに走査電圧を印加する交互に配設されたゲート線13A、13Bと、各ゲート線13A、13Bに接続され、該ゲート線に印加する走査電圧をそれぞれ発生する第1及び第2のゲート線駆動用走査回路22A、22Bと、信号線14に接続され、画像信号を入力する第1及び第2の画像信号入力線23A、23Bと、各画像信号入力線に接続され、信号線14を制御する信号線駆動用走査回路25とを備えている。互いに隣接する信号線14は、それぞれ異なる画像信号入力線23A、23Bに接続され、各ゲート線駆動用走査回路22A、22Bは互いに隣接するゲート線とそれぞれ独立に接続されている。



(2)

【特許請求の範囲】

【請求項 1】 マトリックスアレイ状に配列された複数の画素電極と該画素電極ごとに画像信号を制御する薄膜トランジスタとを有する画素表示部と、
前記複数の画素電極のうち、行方向に並ぶ前記画素電極の前記薄膜トランジスタのゲート電極ごとに走査電圧を印加するゲート線と、
前記複数の画素電極のうち、列方向に並ぶ前記画素電極ごとに信号電圧を印加する信号線と、
前記各ゲート線に接続され、該ゲート線に印加する走査電圧を発生する少なくとも 2 つのゲート線駆動用走査回路と、
前記信号線に接続され、外部から画像信号を入力する画像信号入力線と、
前記画像信号入力線に接続され、前記信号線を制御する薄膜トランジスタよりなる信号線駆動用走査回路とを備え、
前記各ゲート線駆動用走査回路は、薄膜トランジスタよりなり、且つ、互いに隣接する前記ゲート線とそれぞれ独立に接続されていることを特徴とする液晶ディスプレイ装置。

【請求項 2】 前記画像信号入力線は複数本設けられており、
互いに隣接する前記信号線はそれぞれ異なる前記画像信号入力線に接続されていることを特徴とする請求項 1 に記載の液晶ディスプレイ装置。

【請求項 3】 マトリックスアレイ状に配列された複数の画素電極と該画素電極ごとに画像信号を制御する薄膜トランジスタとを有する画素表示部と、前記複数の画素電極のうち、行方向に並ぶ前記画素電極の前記薄膜トランジスタのゲート電極ごとに走査電圧を印加するゲート線と、前記複数の画素電極のうち、列方向に並ぶ前記画素電極ごとに信号電圧を印加する信号線と、前記各ゲート線に接続され、該ゲート線に印加する走査電圧を発生する少なくとも 2 つのゲート線駆動用走査回路と、前記信号線に接続され、外部から画像信号を入力する画像信号入力線と、前記画像信号入力線に接続され、前記信号線を制御する薄膜トランジスタよりなる信号線駆動用走査回路とを備え、前記各ゲート線駆動用走査回路は、薄膜トランジスタよりなり、且つ、互いに隣接する前記ゲート線とそれぞれ独立に接続されている液晶ディスプレイ装置の駆動方法であって、
前記複数のゲート線駆動用走査回路は、それぞれ独立に且つ同時に入力されたパルス信号により、互いに隣接する前記ゲート線を同時に選択することを特徴とする液晶ディスプレイ装置の駆動方法。

【請求項 4】 マトリックスアレイ状に配列された複数の画素電極と該画素電極ごとに画像信号を制御する薄膜トランジスタとを有する画素表示部と、前記複数の画素電極のうち、行方向に並ぶ前記画素電極の前記薄膜ト

ンジスタのゲート電極ごとに走査電圧を印加するゲート線と、前記複数の画素電極のうち、列方向に並ぶ前記画素電極ごとに信号電圧を印加する信号線と、前記各ゲート線に接続され、該ゲート線に印加する走査電圧を発生する少なくとも 2 つのゲート線駆動用走査回路と、前記信号線に接続され、外部から画像信号を入力する画像信号入力線と、前記画像信号入力線に接続され、前記信号線を制御する薄膜トランジスタよりなる信号線駆動用走査回路とを備え、前記各ゲート線駆動用走査回路は、薄膜トランジスタよりなり、且つ、互いに隣接する前記ゲート線とそれぞれ独立に接続されている液晶ディスプレイ装置の駆動方法であって、

前記複数のゲート線駆動用走査回路は、駆動用のパルス信号がそれぞれ遅延して入力されることにより、互いに隣接する前記ゲート線を相互に遅延させて選択することを特徴とする液晶ディスプレイ装置の駆動方法。

【請求項 5】 マトリックスアレイ状に配列された複数の画素電極と該画素電極ごとに画像信号を制御する薄膜トランジスタとを有する画素表示部と、前記複数の画素電極のうち、行方向に並ぶ前記画素電極の前記薄膜トランジスタのゲート電極ごとに走査電圧を印加するゲート線と、前記複数の画素電極のうち、列方向に並ぶ前記画素電極ごとに信号電圧を印加する信号線と、前記各ゲート線に接続され、該ゲート線に印加する走査電圧を発生する少なくとも 2 つのゲート線駆動用走査回路と、前記信号線に接続され、外部から画像信号を入力する画像信号入力線と、前記画像信号入力線に接続され、前記信号線を制御する薄膜トランジスタよりなる信号線駆動用走査回路とを備え、前記各ゲート線駆動用走査回路は、薄膜トランジスタよりなり、且つ、互いに隣接する前記ゲート線とそれぞれ独立に接続されている液晶ディスプレイ装置の駆動方法であって、
前記各ゲート線駆動用走査回路は、それぞれ入力されるパルス信号の入力タイミングを各フィールドごとに変更することにより、互いに隣接する前記ゲート線同士を組み合わせを各フィールドごとに変更して選択することを特徴とする液晶ディスプレイ装置の駆動方法。

【請求項 6】 マトリックスアレイ状に配列された複数の画素電極と該画素電極ごとに画像信号を制御する薄膜トランジスタとを有する画素表示部と、前記複数の画素電極のうち、行方向に並ぶ前記画素電極の前記薄膜トランジスタのゲート電極ごとに走査電圧を印加するゲート線と、前記複数の画素電極のうち、列方向に並ぶ前記画素電極ごとに信号電圧を印加する信号線と、前記各ゲート線に接続され、該ゲート線に印加する走査電圧を発生する少なくとも 2 つのゲート線駆動用走査回路と、前記信号線に接続され、外部から画像信号を入力する複数の画像信号入力線と、前記画像信号入力線に接続され、前記信号線を制御する薄膜トランジスタよりなる信号線駆動用走査回路とを備え、互いに隣接する前記信号線は、

(3)

3

それぞれ異なる前記画像信号入力線に接続され、前記各ゲート線駆動用走査回路は、薄膜トランジスタよりなり、且つ、互いに隣接する前記ゲート線とそれぞれ独立に接続されている液晶ディスプレイ装置の駆動方法であって、

互いに隣接する前記信号線のうち、一方の信号線に印加される信号電圧の極性と、他方の信号線に印加される信号電圧の極性とは互いに逆になるように印加することを特徴とする液晶ディスプレイ装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、薄膜トランジスタをスイッチング素子に有するアクティブマトリックス型の液晶ディスプレイ装置とその駆動方法に関する。

【0002】

【従来の技術】近年、アクティブマトリックス型の液晶ディスプレイ装置の高画質化が進んでおり、一般のTV放送の画像（NTSC方式、PAL方式又はSECAM方式）を表示するのに必要な走査線数である480本を越える走査線数を有する液晶ディスプレイ装置が開発されている。

【0003】NTSC方式、PAL方式又はSECAM方式の画像信号は、1フィールド内に240本程度の走査線しかないため、飛び越し走査を必要とする。一方、液晶ディスプレイは、フリッカ（明滅）が増大するため、通常のTVのCRTのように飛び越し走査ができないので、順次走査を行なっている。ここで、飛び越し走査とは、ある走査線を走査した後、一つ目の走査線を飛ばして2つ目の走査線を走査し、次のフィールドに遷移したときに前回のフィールドにおいて飛び越した走査線のみを走査する走査方式である。これに対して、順次走査は画像表示部の一端から他端に走査線を順番に走査していく走査方式である。

【0004】以下、従来の液晶ディスプレイ装置を図面を参照しながら説明する。

【0005】図6は従来の液晶ディスプレイ装置のブロック構成図である。図6に示すように、順次走査方式による液晶ディスプレイ装置を用いてNTSC方式、PAL方式又はSECAM方式の画像を表示するには、信号線駆動用走査回路である水平ドライバ105及びゲート線駆動用走査回路である垂直ドライバ106の各前段に時間変換処理のための複数の回路を必要とする。

【0006】具体的には、A/D変換回路101により、画像信号をアナログ信号からデジタル信号に変換した後、メモリ装置102にデジタル化された画像信号を記憶しておき、タイミングコントローラ104により、所定の時間が経過した後に、D/A変換回路103によりデジタル化された画像信号をアナログ信号に変換する時間変換処理を行なう。この変換処理の後、画像信号が液晶ディスプレイ107の各ドライバ105、1

4

06に出力される。

【0007】これにより、1フィールド内の走査線を液晶ディスプレイの走査線本数と同じ480本程度に変換できると共に、飛び越し走査から順次走査に変換され、液晶ディスプレイ107に高画質の画像を表示することができる。しかしながら、時間変換処理用の各回路101～104を必要とするため、装置全体の規模が大きくなってしまふという問題を有している。

【0008】そこで、「特開平7-72830」に開示されている「2ライン同時駆動」方式を採用すると、画像信号の走査線1本の走査で液晶ディスプレイの走査線2本分の走査を行なうことができる。これにより、線走査線を480本以上有する液晶ディスプレイであっても、1フィールド内に走査線が240本程度の画像信号を順次走査により走査線をすべて駆動できるため、フリッカが増大するという問題を回避することができるので、時間変換処理用の回路が不要となり、その結果、装置全体の回路の規模を縮小することができる。

【0009】以下、「特開平7-72830」に開示されている従来の「2ライン同時駆動」方式の液晶ディスプレイ装置を図面に基づいて説明する。

【0010】図7は従来の「2ライン同時駆動」方式の液晶ディスプレイ装置の構成図である。図7において、本液晶ディスプレイ装置は、マトリックスアレイ状に配列された複数の画素電極111と、画素電極111ごとに画像信号を制御する薄膜トランジスタ112と、複数の画素電極111のうち、行方向に並ぶ薄膜トランジスタ112のゲート電極ごとに交互に配設され、走査電圧を印加するゲート線113A、113Bと、複数の画素電極111のうち、列方向に並ぶ画素電極111ごとに信号電圧を印加する信号線114と、各ゲート線113Aに接続され、ゲート線113Aに印加する走査電圧を発生する第1のゲート線駆動用走査回路115Aと、各ゲート線113Bに接続され、ゲート線113Bに印加する走査電圧を発生する第2のゲート線駆動用走査回路115Bと、信号線114に印加する画像用の信号電圧を発生する信号線駆動用走査回路116とを備えている。

【0011】以下、前記のような構成された液晶ディスプレイ装置の動作を要約すると、図7に示すように、ゲート線113A（又は113B）の前段のゲート線113B（又は113A）と薄膜トランジスタ112との間に蓄積容量117を形成するゲートストレージ型構造であって、例えばk番目のゲート線113Aとk+1番目のゲート線113Bとを同時にオンにした後、先にk番目のゲート線113Aをオフ状態にする。これにより、ゲートストレージ型構造であっても2ライン同時駆動を可能にしている。

【0012】

【発明が解決しようとする課題】しかしながら、前記従

(4)

5

来の「2ライン同時駆動」方式の液晶ディスプレイ装置は、画質並びに信頼性及びコストの点で十分に満足が得られなかった。

【0013】本発明は、この点に鑑み、NTSC方式、PAL方式又はSECAM方式の画像を高信頼性、且つ、低コストで高画質に表示することができるようにすることを目的とする。

【0014】

【課題を解決するための手段】前記の目的を達成するため、本発明は、信号線駆動用走査回路とゲート線駆動用走査回路とを薄膜トランジスタにより構成し、且つ、互いに隣接するゲート線とそれぞれ独立に接続された少なくとも2つのゲート線駆動用走査回路を備えている構成とするものである。

【0015】具体的に請求項1の発明が講じた解決手段は、液晶ディスプレイ装置を、マトリクスアレイ状に配列された複数の画素電極と該画素電極ごとに画像信号を制御する薄膜トランジスタとを有する画素表示部と、前記複数の画素電極のうち、行方向に並ぶ前記画素電極の前記薄膜トランジスタのゲート電極ごとに走査電圧を印加するゲート線と、前記複数の画素電極のうち、列方向に並ぶ前記画素電極ごとに信号電圧を印加する信号線と、前記各ゲート線に接続され、該ゲート線に印加する走査電圧を発生する少なくとも2つのゲート線駆動用走査回路と、前記信号線に接続され、外部から画像信号を入力する画像信号入力線と、前記画像信号入力線に接続され、前記信号線を制御する薄膜トランジスタよりなる信号線駆動用走査回路とを備え、前記各ゲート線駆動用走査回路は、薄膜トランジスタよりなり、且つ、互いに隣接する前記ゲート線とそれぞれ独立に接続されている構成とするものである。

【0016】請求項1の構成により、ゲート線駆動用走査回路を少なくとも2つ独立に備え、互いに隣接するゲート線とそれぞれ独立に接続されているため、確実に2ライン同時駆動方式を採用することができると共に、隣接するゲート線を遅延させて駆動させることができる。

【0017】請求項2の発明は、請求項1の構成に、前記画像信号入力線は複数本設けられており、互いに隣接する前記信号線はそれぞれ異なる前記画像信号入力線に接続されている構成を付加するものである。

【0018】請求項2の構成により、画像信号入力線が複数本設けられており、互いに隣接する信号線がそれぞれ異なる画像信号入力線に接続されているため、信号線に印加される画像信号の極性を互いに容易に反転させることができる。

【0019】請求項3の発明が講じた解決手段は、マトリクスアレイ状に配列された複数の画素電極と該画素電極ごとに画像信号を制御する薄膜トランジスタとを有する画素表示部と、前記複数の画素電極のうち、行方向

6

に並ぶ前記画素電極の前記薄膜トランジスタのゲート電極ごとに走査電圧を印加するゲート線と、前記複数の画素電極のうち、列方向に並ぶ前記画素電極ごとに信号電圧を印加する信号線と、前記各ゲート線に接続され、該ゲート線に印加する走査電圧を発生する少なくとも2つのゲート線駆動用走査回路と、前記信号線に接続され、外部から画像信号を入力する画像信号入力線と、前記画像信号入力線に接続され、前記信号線を制御する薄膜トランジスタよりなる信号線駆動用走査回路とを備え、前記各ゲート線駆動用走査回路は、薄膜トランジスタよりなり、且つ、互いに隣接する前記ゲート線とそれぞれ独立に接続されている液晶ディスプレイ装置の駆動方法を対象とし、前記複数のゲート線駆動用走査回路は、それぞれ独立に且つ同時に入力されたパルス信号により、互いに隣接する前記ゲート線を同時に選択する構成とするものである。

【0020】請求項3の構成により、複数のゲート線駆動用走査回路は、それぞれ独立に且つ同時に入力されたパルス信号により、互いに隣接するゲート線を同時に選択するため、2ライン同時駆動方式を確実に実現することができる。

【0021】請求項4の発明が講じた解決手段は、マトリクスアレイ状に配列された複数の画素電極と該画素電極ごとに画像信号を制御する薄膜トランジスタとを有する画素表示部と、前記複数の画素電極のうち、行方向に並ぶ前記画素電極の前記薄膜トランジスタのゲート電極ごとに走査電圧を印加するゲート線と、前記複数の画素電極のうち、列方向に並ぶ前記画素電極ごとに信号電圧を印加する信号線と、前記各ゲート線に接続され、該ゲート線に印加する走査電圧を発生する少なくとも2つのゲート線駆動用走査回路と、前記信号線に接続され、外部から画像信号を入力する画像信号入力線と、前記画像信号入力線に接続され、前記信号線を制御する薄膜トランジスタよりなる信号線駆動用走査回路とを備え、前記各ゲート線駆動用走査回路は、薄膜トランジスタよりなり、且つ、互いに隣接する前記ゲート線とそれぞれ独立に接続されている液晶ディスプレイ装置の駆動方法を対象とし、前記複数のゲート線駆動用走査回路は、駆動用のパルス信号がそれぞれ遅延して入力されることにより、互いに隣接する前記ゲート線を相互に遅延させて選択する構成とするものである。

【0022】請求項4の構成により、複数のゲート線駆動用走査回路は、駆動用のパルス信号がそれぞれ遅延して入力されることにより、互いに隣接する前記ゲート線を相互に遅延させて選択するため、2ライン同時駆動方式を確実に実現することができると共に、1ライン目に対して2ライン目に印加するパルス信号を遅らせることができる。

【0023】請求項5の発明が講じた解決手段は、マトリクスアレイ状に配列された複数の画素電極と該画素

(5)

7

電極ごとに画像信号を制御する薄膜トランジスタとを有する画素表示部と、前記複数の画素電極のうち、行方向に並ぶ前記画素電極の前記薄膜トランジスタのゲート電極ごとに走査電圧を印加するゲート線と、前記複数の画素電極のうち、列方向に並ぶ前記画素電極ごとに信号電圧を印加する信号線と、前記各ゲート線に接続され、該ゲート線に印加する走査電圧を発生する少なくとも2つのゲート線駆動用走査回路と、前記信号線に接続され、外部から画像信号を入力する画像信号入力線と、前記画像信号入力線に接続され、前記信号線を制御する薄膜トランジスタよりなる信号線駆動用走査回路とを備え、前記各ゲート線駆動用走査回路は、薄膜トランジスタよりなり、且つ、互いに隣接する前記ゲート線とそれぞれ独立に接続されている液晶ディスプレイ装置の駆動方法を対象とし、前記各ゲート線駆動用走査回路は、それぞれ入力されるパルス信号の入力タイミングを各フィールドごとに変更することにより、互いに隣接する前記ゲート線同士の組み合わせを各フィールドごとに変更して選択する構成とするものである。

【0024】請求項5の構成により、各ゲート線駆動用走査回路は、それぞれ入力されるパルス信号の入力タイミングを各フィールドごとに変更することにより、互いに隣接するゲート線同士の組み合わせを各フィールドごとに変更して選択するため、2ライン同時駆動方式を確実に実現することができると共に、垂直解像度が劣化することがない。

【0025】請求項6の発明が講じた解決手段は、マトリクスアレイ状に配列された複数の画素電極と該画素電極ごとに画像信号を制御する薄膜トランジスタとを有する画素表示部と、前記複数の画素電極のうち、行方向に並ぶ前記画素電極の前記薄膜トランジスタのゲート電極ごとに走査電圧を印加するゲート線と、前記複数の画素電極のうち、列方向に並ぶ前記画素電極ごとに信号電圧を印加する信号線と、前記各ゲート線に接続され、該ゲート線に印加する走査電圧を発生する少なくとも2つのゲート線駆動用走査回路と、前記信号線に接続され、外部から画像信号を入力する複数の画像信号入力線と、前記画像信号入力線に接続され、前記信号線を制御する薄膜トランジスタよりなる信号線駆動用走査回路とを備え、互いに隣接する前記信号線は、それぞれ異なる前記画像信号入力線に接続され、前記各ゲート線駆動用走査回路は、薄膜トランジスタよりなり、且つ、互いに隣接する前記ゲート線とそれぞれ独立に接続されている液晶ディスプレイ装置の駆動方法を対象とし、互いに隣接する前記信号線のうち、一方の信号線に印加される信号電圧の極性と、他方の信号線に印加される信号電圧の極性とは互いに逆になるように印加する構成を付加するものである。

【0026】請求項6の構成により、外部から画像信号を入力する画像信号入力線を複数本有し、互いに隣接す

8

る信号線は、それぞれ異なる画像信号入力線に接続されている液晶ディスプレイ装置を対象とし、互いに隣接する信号線のうち、一方の信号線に印加される信号電圧の極性と、他方の信号線に印加される信号電圧の極性とは互いに逆になるように印加されるため、液晶による画素電極に必須の行方向の画素ごとの反転駆動を容易に行なうことができる。

【0027】

【発明の実施の形態】

10 (第1の実施形態) 本発明の第1の実施形態を図面を参照しながら説明する。

【0028】図1は本発明の第1の実施形態に係る液晶ディスプレイ装置の構成図である。図1において、本液晶ディスプレイ装置は、マトリクスアレイ状に配列された複数の画素電極11よりなる画素表示部21と、画素電極11ごとに画像信号を制御する薄膜トランジスタ12と、複数の画素電極11のうち、行方向に並ぶ薄膜トランジスタ12のゲート電極ごとに交互に配設された走査電圧を印加するゲート線13A、13Bと、複数の画素電極11のうち、列方向に並ぶ画素電極11ごとに信号電圧を印加する信号線14と、各ゲート線13Aに接続され、ゲート線13Aに印加する走査電圧を発生する第1のゲート線駆動用走査回路22Aと、各ゲート線13Bに接続され、ゲート線13Bに印加する走査電圧を発生する第2のゲート線駆動用走査回路22Bと、画素表示部21の面内における上側にゲート線13A、13Bに平行に配設され、外部から画像信号が独立して入力される第1の画像信号入力線23A及び第2の画像信号入力線23Bと、第1及び第2の画像信号入力線23A、23Bの内のいずれかと一方のソース・ドレイン電極とが接続され、信号線14と他方のソース・ドレイン電極とが接続され、信号線14に印加される画像信号を制御する薄膜トランジスタよりなるアナログスイッチトランジスタ24と、各アナログスイッチトランジスタ24のゲート電極に接続され、アナログスイッチトランジスタ24を制御して画像の輝度を調節する薄膜トランジスタよりなる信号線駆動用走査回路25と、第1のゲート線駆動用走査回路22Aに接続され、ゲート線13Aにデータパルス印加する第1のデータパルス入力端子26Aと、第1のゲート線駆動用走査回路22Aに接続され、データパルスの動作タイミングをとる第1のクロックパルス入力端子27Aと、第2のゲート線駆動用走査回路22Bに接続され、ゲート線13Bにデータパルスを印加する第2のデータパルス入力端子26Bと、第2のゲート線駆動用走査回路22Bに接続され、データパルスの動作タイミングをとる第2のクロックパルス入力端子27Bとを備えている。

【0029】2本のゲート線13A、13Bと2本の信号線14とにより囲まれてなる1つの画素は、画素電極11、薄膜トランジスタ12、液晶が有する等価容量1

50

(6)

9

5、画素電極11の対向電極16、信号電荷を蓄積する蓄積容量17、及び蓄積容量線18とから構成されている。

【0030】画像表示部21の左側に配置された第1のゲート線駆動用走査回路22Aは奇数番目のゲート線13Aを駆動し、第2のゲート線駆動用走査回路22Bは偶数番目のゲート線13Bを駆動する。

【0031】第1及び第2の画像信号入力線23A及び23Bはそれぞれ奇数番目の信号線14と偶数番目の信号線14との画像信号を伝達し、互いに隣接する信号線14同士は異なる画像信号が入力されるように接続されている。

【0032】以下、前記のように構成された液晶ディスプレイ装置の駆動方法を説明する。

【0033】図2(a)は第1及び第2の各ゲート線駆動用走査回路の各パルス入力タイミングを表わしており、(b)は(a)におけるゲート線の電圧波形を表わしている。図2(a)に示すように、第1のデータパルス及び第1のクロックパルスは、図1に示す第1のゲート線駆動用走査回路22Aに印加するパルスであり、第2のデータパルス及び第2のクロックパルスは、図1に示す第2のゲート線駆動用走査回路22Bに印加するパルスである。

【0034】本実施形態の特徴として、第1及び第2のゲート線駆動用走査回路22A、22Bは互いに独立して動作し、交互に配設されたゲート線13A、13Bに対して、第1のゲート線駆動用走査回路22Aとゲート線13Aとが接続されると共に、第2のゲート線駆動用走査回路22Bとゲート線13Bとが接続されているため、互いに隣接するゲート線を同時にオン状態にすることができるので、2ライン同時駆動方式を実現することができる。

【0035】また、第1及び第2のゲート線駆動用走査回路22A、22B及び信号線駆動用走査回路25は共に薄膜トランジスタにより構成されているため、信頼性が高く且つコストも低減することができる。

【0036】さらに、図2(a)に示すように、第1のクロックパルスと第2のクロックパルスを発生させるタイミングを Δt とすると、 Δt を0に設定すると完全な2ライン同時駆動となり、 Δt を所定量の正の値に設定すると、図2(b)に示すように、ゲート線番号の若い方の番号を前段(図1に示す画像表示部21における信号線駆動用走査回路25側)とすると、前段のゲート線14よりも後段のゲート線14を遅らせて選択状態にすることができる。

【0037】遅らせて選択状態にする遅延駆動方式によると、画面のフリッカが低減されるため、高画質の表示が可能となる。

【0038】次に、図3(a)、(b)は奇数・偶数フィールドにおける第1及び第2の各ゲート線駆動用走査

10

回路の各パルス入力タイミングとゲート線の電圧波形とを表わしている。ここで、フィールドとは図1に示す各ゲート線走査回路22A、22Bが共に画素表示部21を最前段から最後段までを走査する期間を指す。図3

(a)に示すように、奇数フィールドにおける、第1のデータパルス及び第1のクロックパルスは、図1に示す第1のゲート線駆動用走査回路22Aに印加するパルスであり、第2のデータパルス及び第2のクロックパルスは、図1に示す第2のゲート線駆動用走査回路22Bに印加するパルスであって、図3(b)においても同様である。

【0039】図3(a)に示す奇数フィールドにおいて、第1のクロックパルスがオフ状態の時に、第2のクロックパルスがほぼオン状態となっているため、1番目のゲート線と2番目のゲート線とは選択状態にはならない。

【0040】一方、図3(a)に示す偶数フィールドにおいて、第1のクロックパルスがオン状態の時に、第2のクロックパルスもほぼオン状態となっているため、1番目のゲート線と2番目のゲート線とはほぼ同時に選択状態になる。

【0041】このように、図1に示すように、第1及び第2のゲート線駆動用走査回路22A、22Bは互いに独立して動作し、しかも、交互に配設されたゲート線13A、13Bに対して、第1のゲート線駆動用走査回路22Aとゲート線13Aとが接続され、第2のゲート線駆動用走査回路22Bとゲート線13Bとが接続されているため、互いに隣接するゲート線14同士を同時に、また、遅延させて選択状態にするペアを奇数フィールドと偶数フィールドとによって変更することができるので、垂直解像度を劣化させることがない。

【0042】次に、図4は第1及び第2の各画像信号入力線に入力される信号波形を表わしている。第1の画像信号は図1に示す第1の画像信号入力線23Aに印加される信号であり、第2の画像信号は図1に示す第2の画像信号線23Bに印加される信号である。

【0043】このように、複数の画像信号入力線が配設され、互いに隣接する信号線14は、それぞれ異なる画像信号入力線23A、23Bに接続されているため、奇数番目の信号線14と偶数番目の信号線14とは互いに極性が逆の画像信号を印加することができるので、液晶よりなる画素の劣化防止に必要な反転駆動を行方向の画素ごとに容易に実現することができる。

【0044】(第2の実施形態)以下、本発明の第2の実施形態を図面を参照しながら説明する。

【0045】図5は本発明の第2の実施形態に係る液晶ディスプレイ装置の構成図である。図5において、図1に示した第1の実施形態に係る液晶ディスプレイ装置と同一の部材又は構成要素には同一の符号を付し、説明を省略する。

(7)

11

【0046】図5に示すように、本液晶ディスプレイ装置は、第2のゲート線駆動用走査回路22Bが画像表示部21の右側に配置されており、画像表示部21の面内における上方で且つ信号線駆動用走査回路25との間に6本の画像信号入力線が配設されている。

【0047】6本の画像信号入力線23A～23Fのうち、第1の画像信号入力線23A、第2の画像信号入力線23B及び第3の画像信号入力線23Cの3本が奇数番目の信号線14に信号を伝達し、第4の画像信号入力線23D、第5の画像信号入力線23E及び第6の画像信号入力線23Fの3本が偶数番目の信号線14に信号を伝達するように接続されている。

【0048】画像信号として、6本の画像信号入力線23A～23Fのうち、第1の画像信号入力線23A、第2の画像信号入力線23B及び第3の画像信号入力線23Cの3本に同一の極性の画像信号が印加され、第4の画像信号入力線23D、第5の画像信号入力線23E及び第6の画像信号入力線23Fの3本に先の3本とは極性が逆の画像信号が印加される。

【0049】本実施形態の特徴として、第1及び第2のゲート線駆動用走査回路22A、22Bは互いに独立して動作し、交互に配設されたゲート線13A、13Bに対して、第1のゲート線駆動用走査回路22Aとゲート線13Aとが接続されると共に、第2のゲート線駆動用走査回路22Bとゲート線13Bとが接続されているため、互いに隣接するゲート線を同時にオン状態にすることができるので、2ライン同時駆動方式を実現することができる。また、前段のゲート線14よりも後段のゲート線14を遅らせて選択状態にすることもできるので、画面のフリッカが低減されるため、高画質の表示が可能となる。

【0050】また、第1及び第2のゲート線駆動用走査回路22A、22B及び信号線駆動用走査回路25は共に薄膜トランジスタにより構成されているため、信頼性が高く且つコストも低減することができる。

【0051】また、図5に示すように、第1及び第2のゲート線駆動用走査回路22A、22Bは互いに独立して動作し、しかも、交互に配設されたゲート線13A、13Bに対して、第1のゲート線駆動用走査回路22Aとゲート線13Aとが接続されると共に、第2のゲート線駆動用走査回路22Bとゲート線13Bとが接続されているため、互いに隣接するゲート線14同士を同時に、また、遅延させて選択状態にするペアを奇数フィールドと偶数フィールドとによって変更することができるので、垂直解像度を劣化させることがない。

【0052】また、6本の画像信号入力線が配設され、互いに隣接する信号線14は、それぞれ異なる第1から第6の画像信号入力線23A～23Fに接続されているため、奇数番目の信号線14と偶数番目の信号線14とは互いに極性が逆の画像信号を印加することができるので、

12

で、液晶よりなる画素の劣化防止に必要な反転駆動を行方向の画素ごとに容易に実現することができる。

【0053】また、画像信号の印加方法は前述に限るものではなく、例えば、6本の画像信号入力線23A～23Fのうち、第1の画像信号入力線23A、第3の画像信号入力線23C及び第5の画像信号入力線23Eの3本に同一の極性の画像信号を印加し、第2の画像信号入力線23B、第4の画像信号入力線23D及び第6の画像信号入力線23Fの3本に先の3本とは極性が逆の画像信号を印加する場合は、6本の画像信号入力線23A～23Fのうち、第1の画像信号入力線23A、第3の画像信号入力線23C及び第5の画像信号入力線23Eの3本を奇数番目の信号線14に接続し、第2の画像信号入力線23B、第4の画像信号入力線23D及び第6の画像信号入力線23Fの3本を偶数番目の信号線14に接続すればよい。

【0054】なお、第1又は第2の実施形態における信号線駆動用走査回路は画像表示部の上側に配置されているが、下側に配置されていてもよい。

【0055】また、第1及び第2のゲート線駆動用走査回路は、左右が逆に配置されていてもよく、さらに、共に画像表示部の右側に配置されていてもよい。

【0056】また、薄膜トランジスタよりなるアナログスイッチトランジスタは薄膜ダイオードであってもよい。

【0057】また、画像信号入力線の本数は2本または6本に限るものではなく、ゲート線駆動用走査回路は第1及び第2の2つに限るものではない。

【0058】

【発明の効果】請求項1の液晶ディスプレイ装置によると、信号線駆動用走査回路及びゲート線駆動用走査回路は共に薄膜トランジスタにより構成されているため、高い信頼性が得られ、且つ、低コスト化を図ることができる。

【0059】さらに、ゲート線駆動用走査回路を少なくとも2つ独立に備えているため、ゲート線に対して確実に2ライン同時駆動方式を採用することができ、また、隣接するゲート線を遅延させて駆動させることもできるので、画像表示時のフリッカを低減することができるようになり、高画質化を図ることができる。

【0060】請求項2の液晶ディスプレイ装置によると、請求項1の液晶ディスプレイ装置の効果が得られる上に、信号線に印加される画像信号の極性を互いに容易に反転させることができるため、液晶による画素電極に必須の行方向の画素ごとの反転駆動を容易に行なうことができる。

【0061】請求項3の液晶ディスプレイ装置の駆動方法によると、複数のゲート線駆動用走査回路が、それぞれ独立に且つ同時に入力されたパルス信号により、互いに隣接するゲート線を同時に選択するため、2ライン同

(8)

13

時駆動方式を確実に実現することができる。

【0062】請求項4の液晶ディスプレイ装置の駆動方法によると、複数のゲート線駆動用走査回路は、駆動用のパルス信号がそれぞれ遅延して入力されることにより、互いに隣接する前記ゲート線を相互に遅延させて選択するため、ゲート線の2ライン同時駆動方式を確実に実現することができると共に、2ライン目に対して1ライン目に印加するパルス信号よりも遅らせることができるので、画像表示時のフリッカを低減することができるようになり、高画質化を図ることができる。

【0063】請求項5の液晶ディスプレイ装置の駆動方法によると、各ゲート線駆動用走査回路は、それぞれ入力されるパルス信号の入力タイミングを各フィールドごとに変更することにより、互いに隣接するゲート線同士の組み合わせを各フィールドごとに変更して選択するため、2ライン同時駆動方式を確実に実現することができると共に、垂直解像度が劣化しないので、高画質化を図ることができる。

【0064】請求項6の液晶ディスプレイ装置の駆動方法によると、互いに隣接する信号線のうち、一方の信号線に印加される信号電圧の極性と、他方の信号線に印加される信号電圧の極性とは互いに逆になるように印加されるため、液晶による画素電極に必須の行方向の画素ごとの反転駆動を容易に行なうことができるので、高画質化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る液晶ディスプレイ装置の構成図である。

【図2】(a)は第1及び第2の各ゲート線駆動用走査回路の各パルス入力タイミングを表わす図であり、(b)は(a)におけるゲート線の電圧波形を表わす図である。

【図3】(a)は奇数フィールドにおける第1及び第2の各ゲート線駆動用走査回路の各パルス入力タイミングとゲート線の電圧波形とを表わす図であり、(b)は偶数フィールドにおける第1及び第2の各ゲート線駆動用

14

走査回路の各パルス入力タイミングとゲート線の電圧波形とを表わす図である。

【図4】第1及び第2の各画像信号入力線に入力される信号波形を表わす図である。

【図5】本発明の第2の実施形態に係る液晶ディスプレイ装置の構成図である。

【図6】従来の液晶ディスプレイ装置のブロック構成図である。

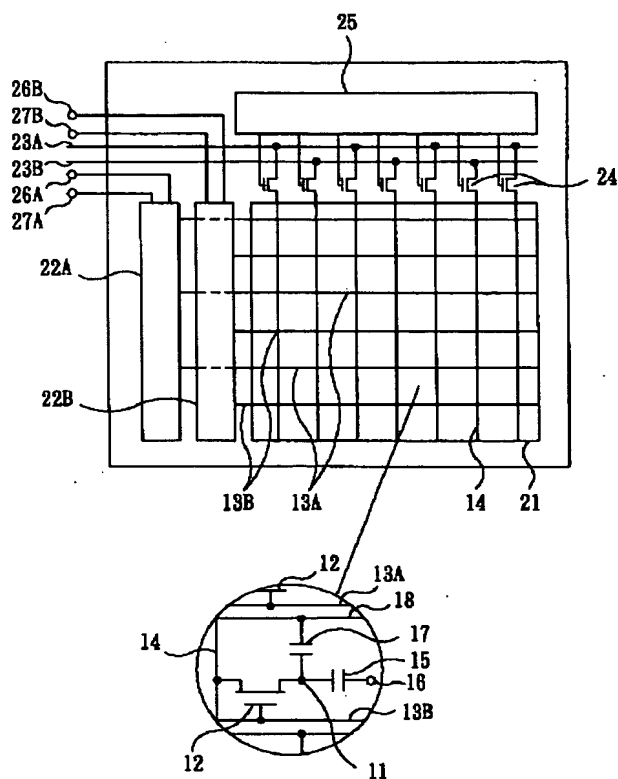
【図7】従来の「2ライン同時駆動」式の液晶ディスプレイ装置の構成図である。

【符号の説明】

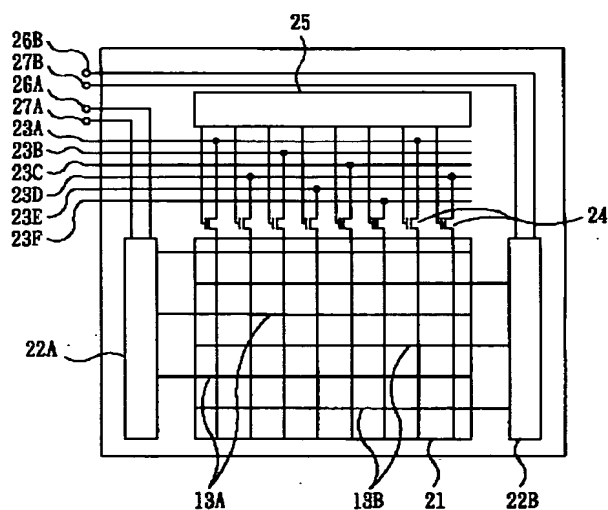
- 11 画素電極
- 12 薄膜トランジスタ
- 13A ゲート線
- 13B ゲート線
- 14 信号線
- 15 等価容量
- 16 対向電極
- 17 蓄積容量
- 18 蓄積容量線
- 21 画素表示部
- 22A 第1のゲート線駆動用走査回路
- 22B 第2のゲート線駆動用走査回路
- 23A 第1の画像信号入力線
- 23B 第2の画像信号入力線
- 23C 第3の画像信号入力線
- 23D 第4の画像信号入力線
- 23E 第5の画像信号入力線
- 23F 第6の画像信号入力線
- 24 アナログスイッチトランジスタ
- 25 信号線駆動用走査回路
- 26A 第1のデータパルス入力端子
- 26B 第2のデータパルス入力端子
- 27A 第1のクロックパルス入力端子
- 27B 第2のクロックパルス入力端子

(9)

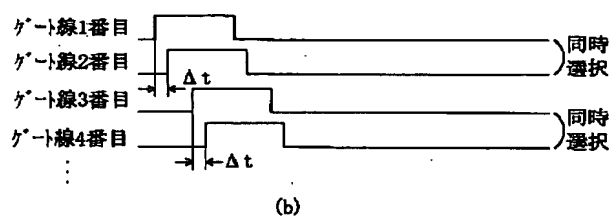
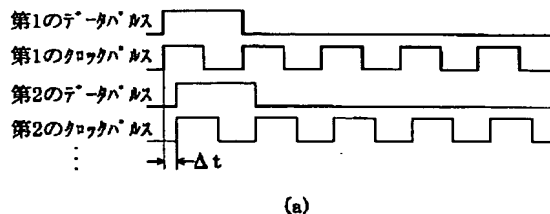
【図1】



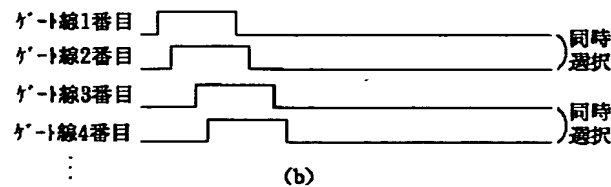
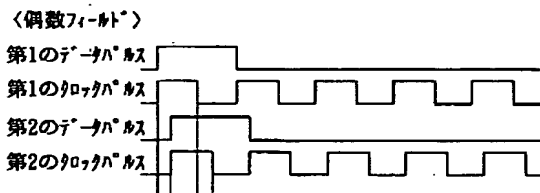
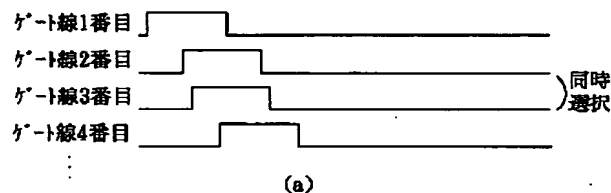
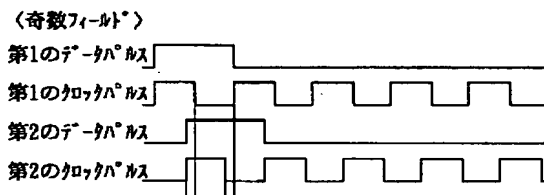
【図5】



【図2】

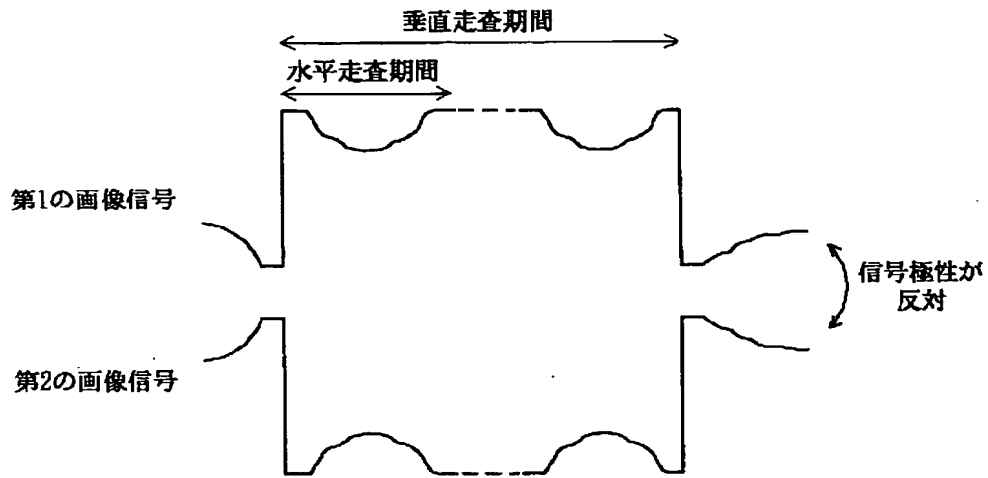


【図3】

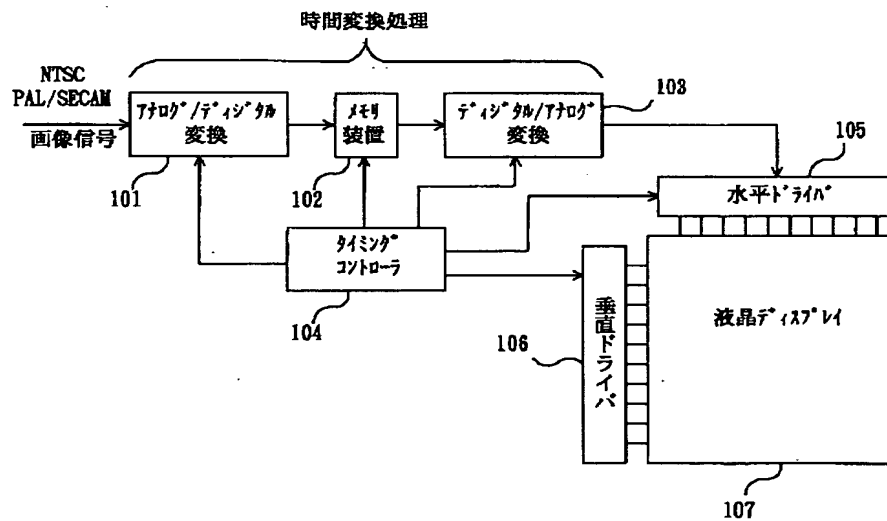


(10)

【図4】



【図6】



(11)

【図7】

